

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-330119
(43)Date of publication of application : 14.12.1993

(51)Int.Cl. B41J 2/355
B41J 2/37

(21)Application number : 04-318325 (71)Applicant : EASTMAN KODAK CO
(22)Date of filing : 27.11.1992 (72)Inventor : NARDOZZI FRANK M

(30)Priority

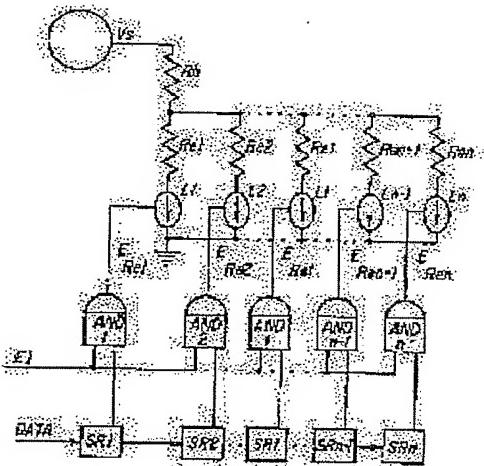
Priority number : 91 800302 Priority date : 29.11.1991 Priority country : US

(54) THERMAL PRINTER

(57)Abstract:

PURPOSE: To supply a current to a thermal print element for a selected sustained period of time by providing a control means for supplying a binary data signal for selecting the thermal print element which receives the current supplied from a power source.

CONSTITUTION: There are provided a plurality of shift registers SR1-SRn. In a printing mode, a logic 1 is loaded to the shift register in a position corresponding to a pixel for forming an image of an optical density. Logical products of the outputs of the shift registers SR1-SRn with an enable signal are made by AND gates AND1-ANDn. The enable signal E1 is formed for determining a sustained period of time for a current to be applied to thermal print elements Re1-Ren. Each of current sources I1-In is made to be in an enable condition by the output of the respective gates AND1-ANDn. That is, the current flows from each of the corresponding thermal print elements Re1-Ren to the ground.



LEGAL STATUS

[Date of request for examination] 09.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3322705

[Date of registration] 28.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-330119

(43)公開日 平成5年(1993)12月14日

(51)Int.Cl.⁵

B 41 J 2/355
2/37

識別記号

序内整理番号

F I

技術表示箇所

B 41 J 3/20

114 A
115 B

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号 特願平4-318325

(22)出願日 平成4年(1992)11月27日

(31)優先権主張番号 800302

(32)優先日 1991年11月29日

(33)優先権主張国 米国(US)

(71)出願人 591264544

イーストマン・コダツク・カンパニー
アメリカ合衆国、ニューヨーク・14650、
ロヂエスター、ステイト・ストリート・
343

(72)発明者 フランク エム ナルドッジ
アメリカ合衆国 ニューヨーク州 14650
ウエブスター ハイタワー ウエイ
746

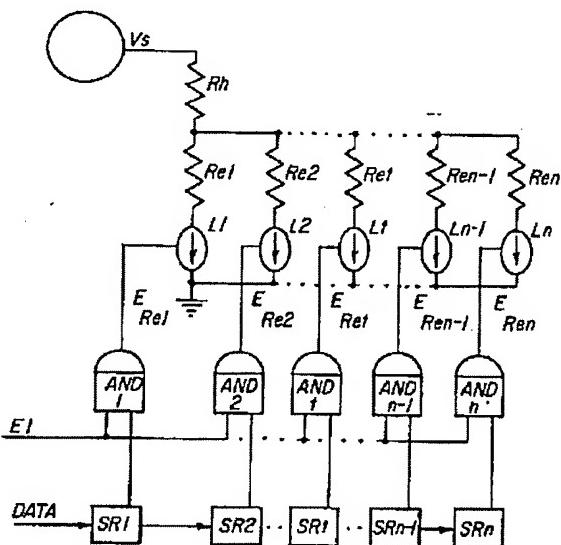
(74)代理人 弁理士 金山 敏彦 (外2名)

(54)【発明の名称】 サーマルプリンタ

(57)【要約】

【目的】 サーマルプリンタのプリントモードにおいて、サーマルプリント素子数に比例する寄生抵抗による電圧降下で生じる電圧変動を抑制し、画質を向上させる。

【構成】 プリントヘッドは多数のサーマルプリント素子 R_{en} と、そのそれぞれに接続して、イネーブル状態にあるとき、選択的な電流をそれぞれの素子に流すバイナリモードで構成された選択可能な個別の電流源 I_n を有する。電流源 I_n を機能させて、一方は印刷画像に光学濃度の像を形成するには不十分、他方は十分な電流値の一方を選択する。それぞれのプリント素子は、レファレンス電源 V_{re} に、一対の、相補的負荷を有する抵抗とトランジスタスイッチ T_n とを介して接続されるため、プリントモードにおいて、エネルギーを加えられたプリント素子の数に関係なく、基準電源 V_{re} にかかる負荷は一定となる。



1

【特許請求の範囲】

【請求項1】 サーマルプリンタであつて、
 第1と第2のターミナル間に接続された複数のサーマル
 プリント素子と、
 プリントヘッドの前記第1及び第2ターミナルに接続さ
 れ、前記サーマルプリント素子に電流を供給する電源手
 段と、
 前記サーマルプリント素子に接続され、前記サーマル
 プリント素子の内前記電源手段から電流の供給を受けるサ
 ーマルプリント素子を選択するための第1のバイナリデ
 ータ信号を供給する制御手段と、
 を有し、前記電源手段は前記サーマルプリント素子それ
 ぞれに対応し、基準電圧源に接続された個別の電流源を
 含み、
 前記電流源は、
 第1及び第2の電流経路と、
 前記制御手段から供給される第1と第2のバイナリデータ
 信号に応じて、前記第1または第2の電流経路のいづれか一方を前記基準電圧源に接続する第1及び第2のス
 イッチ手段と、
 を含み、
 前記第1の電流経路は前記電源手段及び対応する前記サ
 ーマルプリント素子に接続され、イネーブル状態のサ
 ーマルプリント素子数に応じて印加電圧に生じる変動に依
 存せず、前記第1のバイナリデータ信号に応じて選択さ
 れた持続時間だけ電流を前記対応するサーマルプリント
 素子に供給することを特徴とするサーマルプリンタ。

【請求項2】 請求項1記載のサーマルプリンタにおいて、
 前記制御手段は、
 前記サーマルプリント素子数に応じた複数のステージを
 有し、第1と第2のバイナリ値を有する前記バイナリデータ
 信号を供給するシフトレジスタと、
 前記第1及び第2のスイッチ手段に接続され、前記サ
 ーマルプリント素子に接続されるそれぞれの電流源から前
 記第1または第2の電流経路を介して電流を供給するゲ
 ートアレイと、
 を有することを特徴とするサーマルプリンタ。

【請求項3】 連続濃淡型サーマルプリンタであつて、
 各画像ピクセルに応じたプリント素子を複数個有するブ
 リントヘッドと、
 各プリント素子に接続され、各画像ピクセル用の2ⁿの
 イメージ濃度を有する2進ワードを格納するnビットのシ
 フトレジスタと、
 前記各プリント素子にパラレルに接続された主電源手段
 と、
 駆動及び消費電流を供給する基準電源手段と、
 前記nビットシフトレジスタに接続され、格納された2
 進ワードを復調して前記2進ワードに依存する可能な駆
 動電流値、または前記駆動電流と加えられた場合には一

10

定値となるような相補的な関係にある消費電流値のいづれかを出力する復調手段と、
 前記基準電源手段及び前記復調手段に接続され、イネーブル状態のプリント素子数に依存せず、前記プリント素子に前記駆動電流値を供給する個別の電流駆動手段と、
 前記基準電源手段及び前記復調手段に接続され、インピーダンスネットワークを介して前記相補的な消費電流値を消費することにより前記基準電源手段に一定の負荷を与える個別の電流消費手段と、
 を有することを特徴とするサーマルプリンタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はサーマルプリンタに関し、より詳細には、サーマルプリントヘッドの発熱素子にエネルギーを供給するための回路構成に関する。

【0002】

【従来の技術】 周知の如く、サーマルプリントヘッドは互いにわずかに間隔をあけて配置されている抵抗発熱素子またはサーマルプリント素子の列を有し、この抵抗発熱素子またはサーマルプリント素子が選択的に駆動され、データをハードコピーとして記録する。データには、文書、バーコード、またはグラフィック画像に関するデジタル情報が含まれる。実際の動作において、サーマルプリント素子には格納されたデジタル情報に応じ、ドライバ回路を通じて選択的に電源からエネルギーが供給される。それぞれのエネルギーを加えられた素子からの熱は、次に、感熱部材または染料でコートされた巻取り紙に直接加えられ、拡散により紙またはその他の記録紙へ染料が転写される。コダック（登録商標）のデジタル式連続濃淡プリンタXL7700はこのようなサーマルプリント素子を有し、上記のごとく機能する。

30

【0003】 ピクセル上に光学濃度の像を形成するためにはサーマルプリント素子に供給される電力は、抵抗発熱素子で消費される電力の関数である。サーマルプリント素子で消費される電力は、サーマルプリント素子における電圧降下の二乗を素子の抵抗で除した値に等しい。

40

【0004】 単一濃度の画像プリンタの典型的な一例が図5に示されている。プリントモードにおいては、電源電圧V_sは、サーマルプリント素子R_{e1}～R_{en}に印加される。プリンタには、電流を素子のうちの一個または複数個に流すための電子回路が存在し、これは印刷機能を果たすために必須のものである。説明の便宜上、回路構成を単純化して、シフトレジスタS_{R1}～S_{Rn}、イネーブル信号E₁、論理ゲートAND₁～AND_n、及びトランジスタスイッチT₁～T_nを示している。これらのデバイスの詳細は、プリンタの機種により異なっているが、この基本的機能はどの回路設計のなかにも存在している。

50

【0005】 プリントモードにおいては、シフトレジスターS_{R1}～S_{Rn}のうち、光学濃度の像を形成すべきビ

3

クセルに対応する位置のシフトレジスタに、それぞれ論理「1」がロードされる。ANDゲートAND1-ANDnで、シフトレジスタSR1-SRnの出力とイネーブル信号E1との論理積がとられる。イネーブル信号E1は、電流をサーマルプリント素子Re1-Re nに流す持続時間を示すために形成される。ゲートAND1-ANDnの出力によって、トランジスタスイッチT1-Tnがバイアスされ、電流が対応するサーマルプリント素子Re1-Re nからグラウンドに流れる。光学濃度の像を形成するためにサーマルプリント素子に供給される電力は、一般的にサーマルプリント素子での電圧降下と、電流がサーマルプリント素子を流れる持続時間との関数である。あるピクセルで形成される光学濃度と、対*

$$P_{Ret} = (V_{Re})^2 / Ret \quad (1)$$

$$V_{Ret} = \{Vs * (Ret/n)\} / \{Rh + (Ret/n)\} \quad (2)$$

$$P_{Ret} = \{ (Vs)^2 (Ret/n)^2 \} / (Ret) \{ Rh + (Ret/n) \}^2 \quad (3)$$

式(1)に示されているように、サーマルプリント素子で消費される電力は、サーマルプリント素子における電圧降下VR eの二乗を素子の抵抗Retで除した値に等しい。ここで、電圧VR eは、式(2)に示すように、電源電圧Vsと、ハーネス抵抗とイネーブル状態のサーマルプリント素子の並列抵抗との分圧関係によって決まり、イネーブル状態のサーマルプリント素子の数はnで表されている。従って、サーマルプリント素子で消費※

| 表 1 | | | |
|------|-------|--------|---------|
| n | Rh=2 | Rh=0.2 | Rh=0.02 |
| 100 | 0.191 | 0.218 | 0.222 |
| 1775 | 0.040 | 0.172 | 0.216 |
| 3550 | 0.016 | 0.137 | 0.210 |

ハーネス抵抗が2.0オームのとき、3550個の素子がイネーブル状態にあるときの、それぞれのサーマルプリント素子における電力消費は、100個の素子がイネーブル状態にあるときの電力消費の約10%である。ハーネス抵抗が0.02オームに減少すると、3550個の素子がイネーブル状態にあるときのそれぞれのサーマルプリント素子における電力消費は、100個の素子がイネーブル状態にあるときの電力消費の約95%となる。画像の内容による電力変動が5%であるという状態は、改良された状態ではあるが、変動が0%であることが望ましい。この記述では、サーマルプリント素子間の抵抗のばらつき、及びサーマルヘッド内の電力分配バスの抵抗値の変動との及ぼす作用については考慮していない。前記の作用はいずれも、サーマルプリント素子での電力消費の変動を増加させる。

【0009】

【発明が解決しようとする課題】サーマルプリント素子間の抵抗の変動と、サーマルヘッド内部の電力分配バスでの抵抗値の低下を自動的に補正するために、多数の試みがなされてきた。前記のいずれの変動も、時間的に変

50 択した発熱素子の数に関係なく十分一定に保持すること

*応するサーマルプリント素子で消費されるエネルギーとの関係は較正され、次の較正までの期間はその関係が一定に保たれることが要求される。もし、何らかのメカニズムによって、サーマルプリント素子に印加される電圧が変化すれば、あるピクセルで形成される光学濃度と、対応するサーマルプリント素子で消費されるエネルギーとの関係もまた変化する。この変化の結果、ピクセル上に形成される像の光学濃度の予測及び制御が不可能となる。このことは、ピクセルの光学濃度の増加あるいは減少として測定されるであろう。このプリンタ構成について与えられるサーマルプリント素子の電力消費の式は以下の如くである。

【0006】

(1)

(2)

(3)

※される電力Pretは、式(3)に示されるようになる。

20 【0007】ハーネス抵抗が三個の可能な値をとる場合について、あるサーマルプリント素子での電力消費を、電圧を加えられたサーマルプリント素子の数に対してプロットしたものが、図6及び表1である。

【0008】

化する。ほとんどのサーマルプリンタには、ドライバ回路等の、プリント機能を制御するための回路構成が組み込まれているために、個々のプリントヘッドの抵抗発熱素子の接点にアクセスすることは困難である。一方、プリントヘッドのコネクタのターミナルの電圧を決定することは、比較的容易である。しかし、プリントヘッドの電圧には、電源線、内部接続線、及びその他のプリントヘッド内部の配線における寄生抵抗による電圧降下が含まれている。前述のように、これらの寄生抵抗による電圧降下は、印刷ラインとしてon状態（イネーブル状態）となっている発熱素子の数に比例する。そのため、寄生抵抗による電圧降下は、選択する発熱素子の数が変化すると相当量変動する。発熱素子の電圧の変動によって、印刷される画素またはピクセルの濃度にも顕著な変動が生じる。

【0010】本発明の出願人により共に出願された、1990年7月2日提出の、現在出願中の米国出願第547,353号は、この問題と先行技術を扱っており、選択した抵抗発熱素子電圧をどの印刷ラインについても選択した発熱素子の数に関係なく十分一定に保持すること

5

を含む解決法を提案している。

【0011】いくつかの他の技術によって、これらの変動と、その結果生じる印刷濃度の変動を防止することが図られてきた。前記技術には、サーマルヘッドを形成するそれぞれの発熱素子に対して別々の電源を使用することと、ヘッドのそれぞれの発熱素子に対して個別の平衡レジスタを備えることと、容認できない印刷が生じた場合に、それぞれの抵抗素子に加えられる電力を調整することが含まれている。米国特許第4, 540, 991号では、抵抗値変動の検出器を使用する試みについて述べている。前記抵抗値変動の検出器は、素子の抵抗値変動に基く補償データを得るために、それぞれの抵抗素子を選択的に接続されている。抵抗値補償データは、プリントヘッドのそれぞれの抵抗素子に対応するメモリアドレスに保持される。また、その補償データはメモリから読み出され、それによって、それぞれの素子に対するプリントデータが、サーマルプリントヘッドのシフトレジスタのステージに送られる前に補償される。同様な技術が、米国特許第4, 887, 092号と第4, 996, 487号で開示されている。前記技術では、抵抗照合値)を診断のために、または、それぞれの印刷ラインの間の抵抗素子の温度を示すために使用している。前述のすべての要因による、画像の濃度の望ましい濃度からの変動を克服するプリントヘッドを提供することがさらに望まれている。

【0012】通常、単一システムの電源から供給される定電流パルスの、電圧の振幅及びパルス幅はバイナリデータまたはプログラム可能なデジタルデータによって調節されている。前記バイナリデータまたはプログラム可能なデジタルデータは、ヘッド全体の温度と抵抗値の変動とについて補正されているか、あるいは、本願出願において参考にされた、米国特許第4, 710, 783号に記述されているように、個々のプリントヘッド素子の温度と抵抗値の変動とについて補正されている。米国特許第4, 710, 783号に記載されている操作システムは、本発明で示す改良を実践することのできる環境を提供している。

【0013】

【課題を解決するための手段及び作用】上記目的を達成するために、請求項1記載のサーマルプリンタは、第1と第2のターミナル間に接続された複数のサーマルプリント素子と、プリントヘッドの前記第1及び第2ターミナルに接続され、前記サーマルプリント素子に電流を供給する電源手段と、前記サーマルプリント素子に接続され、前記サーマルプリント素子の内前記電源手段から電流の供給を受けるサーマルプリント素子を選択するための第1のバイナリデータ信号を供給する制御手段とを有し、前記電源手段は前記サーマルプリント素子それに対応し、基準電圧源に接続された個別の電流源を含み、前記電流源は、第1及び第2の電流経路と、前記制

6

御手段から供給される第1と第2のバイナリデータ信号に応じて、前記第1または第2の電流経路のいずれか一方を前記基準電圧源に接続する第1及び第2のスイッチ手段と、を含み、前記第1の電流経路は前記電源手段及び対応する前記サーマルプリント素子に接続され、インエーブル状態のサーマルプリント素子数に応じて印加電圧に生じる変動に依存せず、前記第1のバイナリデータ信号に応じて選択された持続時間だけ電流を前記対応するサーマルプリント素子に供給することを特徴とする。

10 【0014】また、上記目的を達成するために、請求項2記載のサーマルプリンタは、前記制御手段が前記サーマルプリント素子数に応じた複数のステージを有し第1と第2のバイナリ値を有する前記バイナリデータ信号を供給するシフトレジスタと、前記第1及び第2のスイッチ手段に接続され、前記サーマルプリント素子に接続されるそれぞれの電流源から前記第1または第2の電流経路を介して電流を供給するゲートアレイとを有することを特徴とする。

20 【0015】さらに、上記目的を達成するために、請求項3記載のサーマルプリンタは、各画像ピクセルに応じたプリント素子を複数個有するプリントヘッドと、各プリント素子に接続され、各画像ピクセル用の 2^n のイメージ濃度を有する2進ワードを格納するnビットのシフトレジスタと、前記各プリント素子にパラレルに接続された主電源手段と、駆動及び消費電流を供給する基準電源手段と、前記nビットシフトレジスタに接続され、格納された2進ワードを復調して前記2進ワードに依存する可能な駆動電流値、または前記駆動電流と加えられた場合には一定値となるような相補的な関係にある消費電流値のいずれかを出力する復調手段と、前記基準電源手段及び前記復調手段に接続され、インエーブル状態のプリント素子数に依存せず、前記プリント素子に前記駆動電流値を供給する個別の電流駆動手段と、前記基準電源手段及び前記復調手段に接続され、インピーダンスネットワークを介して前記相補的な消費電流値を消費することにより前記基準電源手段に一定の負荷を与える個別の電流消費手段とを有することを特徴とする。

30 【0016】

【実施例】以下、図面を用いながら本発明の好適な実施例を説明する。

40 【0017】サーマルプリント素子における消費電力は、前述したように、サーマルプリント素子における電圧降下の二乗を素子の抵抗で除した値に等しい。しかし、サーマルプリント素子における電圧降下は、画像の内容によって変化する。サーマルプリント素子の電力を得る好ましい方法は、それぞれの素子に個別の電流源を備えることである。この場合は、サーマルプリント素子における消費電力は、素子を流れる電流の二乗に素子の抵抗を乗じた値に等しい。図5に示したトランジスタT1-Tnは、図1に示したように、個別の電流源I1-I

I nに置き換えられる。プリントモードにおいては、シフトレジスタ S R 1 - S R nのうち、光学濃度の像を形成すべきピクセルに対応する位置のシフトレジスタにそれぞれ論理「1」がロードされる。ANDゲート AND 1 - AND nで、シフトレジスタ S R 1 - S R nの出力とイネーブル信号 E 1との論理積がとられる。イネーブル信号 E 1は、電流をサーマルプリント素子 R e 1 - R e nに流す持続時間を決定するために形成される。ゲート AND 1 - AND nの出力によって、電流源 I 1 - I nがイネーブル状態にある、すなわち、電流を対応するサーマルプリント素子 R e 1 - R e nからグランドに流すことが可能となる。

【0018】実現可能な電流源の一例を図2に機能的に示す。シフトレジスタ S R 1 - S R nのうち、光学濃度の像を形成すべきピクセルに対応する位置のシフトレジスタに、それぞれ論理「1」がロードされる。ANDゲート AND 1で、シフトレジスタ S R 1の出力と、イネーブル信号 E 1との論理積がとられる。ゲート AND 1の出力はインバータで反転され、トランジスタ T 2のベースに接続されている。ゲート AND 1の出力が論理「1」であれば、トランジスタ T 2のベースは接地されるため、トランジスタ T 2のコレクタ・エミッタ接合は高インピーダンス状態となる。従って、トランジスタ T 1のベース電圧は、抵抗 R 2とR 3から成る分圧器によって決まる。抵抗 R 1における電圧降下は、トランジスタ T 1のベース電圧から、ベースのエミッタに対する電圧 (V b e) を減じた値に等しい。抵抗 R 1を流れる電流（従って、サーマルプリント素子 R e 1を流れる電流）は R 1の抵抗値と、抵抗 R 2とR 3から成る分圧器と、電圧 V r e fとによって決まり、イネーブル状態にある素子の数に依存して生じる変動には、影響されない。

【0019】ゲート AND 1の出力が論理「0」であれば、トランジスタ T 2のベースは約 3.5 ボルトに保持されるため、トランジスタ T 2のコレクタ・エミッタ接合は低インピーダンス状態となる。抵抗 R 1を流れる電流は、（従って、サーマルプリント素子 R e 1を流れる電流は）なくなる。この構成は、定電流源と称されている。電力消費は、電圧源、V r eを所望のレベルに設定することによって調整できる。

【0020】ANDゲート AND 1の出力は、トランジスタ T 3のベースに接続されている。抵抗 R 5は抵抗 R 3と、抵抗 R 4は抵抗 R 2と、それぞれ等しいものが選択されている。トランジスタ T 2とトランジスタ T 3とは、相補的に、いずれか一方がイネーブル状態、他方が非イネーブル状態となるため、R 2 - R 5を流れる電流は、エネルギーを加えられたサーマルプリント素子の数に関係なく、一定に保たれている。トランジスタ T 1 - T 3、及び抵抗 R 2 - R 5と同じものが、それぞれのサーマルプリント素子に備えられている。

10

【0021】この技術をより拡張したものが、図3に示されている。シフトレジスタの素子は、それぞれのサーマルプリント素子について 1 またはそれ以上のビット数のデータを保持できるように拡張されている。多数のビットは、Ref 1 - Ref n、それぞれのサーマルプリント素子 Re 1 - Re nについて、電流源 I 1 - I nの適切なアナログ基準を選択する。イネーブル信号 E 1は、電流をサーマルプリント素子 Re 1 - Re n流す持続時間を決定するために形成される。

20

【0022】図4に機能的に示されている、プログラム可能な電流源の実現可能な一例は、「The Electronics Engineer's Handbook」第二刷、フィンク (Donald G. Fink) 編集、マックロウ ヒルブック (MacGraw Hill Book) 社、1982年出版、掲載の「The Resistive-Ladder D/A Converter」と表題された論文を拡張したものである。1 またはそれ以上のビット数のデータがサーマルプリント素子に対応するシフトレジスタにロードされる。図4には、4ビット (0 - 3) が示されているが、それより多い、または少ないビット数の場合についても、当業者にとっては、図4の単純な拡張として理解されよう。ANDゲート AND 1 - AND 3で、シフトレジスタの出力とイネーブル信号との論理積がとられる。それぞれのゲート AND nの出力はインバータ IN V nで反転され、トランジスタ T 2 nのベースに接続される。ゲート AND nの出力が論理「1」であれば、電流はトランジスタ T 2 nを通ってトランジスタ T o p 1 - T o p 3と抵抗 R o p 1 - R o p 2とから成るオペアンプの反転入力に流れれる。

30

【0023】ゲート AND nの出力が論理「0」であれば、トランジスタ T 2 nは高インピーダンス状態となり、トランジスタ T 2 nを通して、トランジスタ T o p 1で、オペアンプの反転入力として流れ込む電流は止まる。ゲート AND nの出力は、トランジスタ T 1 nのベースに接続される。トランジスタ T 1 nとトランジスタ T 2 nとは、相補的に、いずれか一方がイネーブル状態、他方が非イネーブル状態となるため、グランドに流れる電流は、シフトレジスタに格納された4ビットのデータの個別の値に関係なく、一定に保たれている。トランジスタ T 2 nは、トランジスタ T o p 1 - T o p 3と抵抗 R o p 1 - R o p 2とから成るオペアンプの接地経路を備えている。

40

【0024】トランジスタ T 1 - T 3、及び抵抗 R 2 - R 5と同じものが、それぞれのサーマルプリント素子に備えられている。トランジスタ T 1 nは、直接の接地経路を備えている。

50

【0025】回路中で、電源、V r e fと、トランジスタ、T 1 n及びT 2 nとの間に接続されている抵抗は、R d a または 2 R d a のいずれかの値をとっている。2

9

R_{da} の値をとる抵抗は、もうひとつの $2R_{da}$ の値をとる抵抗とトランジスタ T 10 とに並列に接続されている。良く知られているように、トランジスタ T 10 が導通状態のとき、その抵抗チップは無視できると仮定すると、トランジスタ T 10 が導通状態のときには、上記並列接続（の抵抗値）は、 R_{da} の抵抗値と等しい。導通状態における T 10 の抵抗が R_{da} に比べて無視できない場合は、上記で $2R_{da}$ とした抵抗値を、 $2R_{da}$ から T 10 の抵抗を減じた値に変更すればよい。

【0026】 $2R_{da}$ の値の二個の抵抗の並列の組合せ（ R_{da} に等しい）をもうひとつの抵抗 R_{da} の値の抵抗と直列に接続した部分は、抵抗 $2R_{da}$ をトランジスタ T 21 及び T 11 に接続した部分と抵抗値が等しい。従って、トランジスタ T 21 の利用できる電流は、トランジスタ T 20 の利用できる電流の 2 倍となる。この分析を上の段へと拡張して、4 個のゲート AND 0 - AND 3 と結合したシフトレジスタの 4 ビットのすべてに適用することができる。従って、導通状態にある最上位ビットのトランジスタ（T 23 または T 13）を流れる合併した電流は、最下位ビットのトランジスタ（T 20 または T 10）を流れる電流の 2^4 倍となる。なぜなら、全体の抵抗が並列の実効抵抗の組合せにより減少しているからである。

【0027】従って、トランジスタ T 1 のベース電圧はトランジスタ T op1 - T op3 と抵抗 $R_{op1} - R_{op2}$ とから成るオペアンプのフィードバック抵抗と、トランジスタ T op1 のベースではしご状ネットワークからの電流の総和によって決まる。図 2 の説明として前述したように、抵抗 R_1 における電圧降下は、トランジスタ T 1 のベース電圧からベースのエミッタに対する電圧 (V_{be}) を減じた値に等しい。抵抗 R_1 を流れる電流は、（従って、サーマルプリント素子 R_{et} を流れる電流は） R_1 の抵抗値と、オペアンプの出力電圧と、電圧 V_{ref} によって決まり、イネーブル状態にある素子の数に依存して生じる変動には、影響されない。その結果、校正運転時に V_{ref} と $-V_{ref}$ とを最適な印刷画質を得られるように調整することにより、電源をすべてのプリント素子に適切な制御電流を供給できるよう容易に調整できる。

10

【0028】本発明の好ましい実施例として、サーマルプリント素子の駆動に関する例を記述したが、本発明の原理をその他のプリント素子例えは、サーマルインクジェットプリント素子、またはその他の抵抗を備えたプリント素子の駆動に拡張できることが理解されよう。

【0029】

【発明の効果】以上説明したように、本発明にかかるサーマルプリンタによれば、イネーブル状態にある素子の数に依存してサーマルプリント素子に加えられる電圧に生じる変動に関係なく、所望の電流を供給することができ、寄生抵抗による電圧変動に伴う印刷画像への影響は排除され、所望の画像濃度が実現される。

【図面の簡単な説明】

【図 1】それぞれの素子を駆動するための個別電流源を備えたサーマルヘッドの説明図である。

【図 2】サーマルヘッド配列のサーマルプリント素子のための個別電流源の一実施例の説明図である。

【図 3】サーマルヘッドのそれぞれのサーマルプリント素子のための、プログラム可能な個別電流源の説明図である。

【図 4】サーマルヘッドのそれぞれのサーマルプリント素子のための、プログラム可能な個別電流源の他の実施例の説明図である。

【図 5】典型的なサーマルヘッドの説明図である。

【図 6】ある素子における電力消費をサーマルプリントヘッド内のエネルギーを供給された素子の数に対してプロットしたグラフ図である。

【符号の説明】

AND 1 - AND n AND ゲート

E 1 イネーブル信号

I 1 - I n 個別の電流源

I N V n インバータ

P Re t サーマルプリント素子での消費電力

R h ハーネス抵抗

R e 1 - R e n サーマルプリント素子

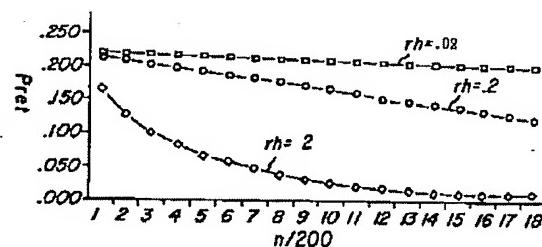
S R 1 - S R n シフトレジスタ

T 1 - T n トランジスタ

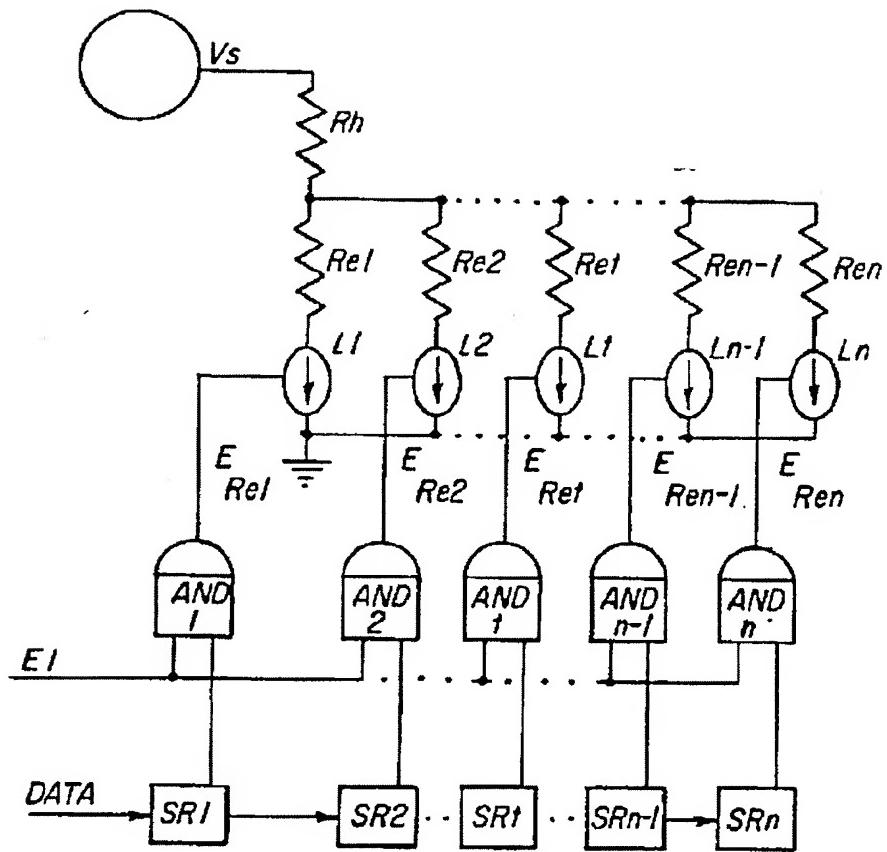
V ref 基準電圧

V s 主電源の電圧

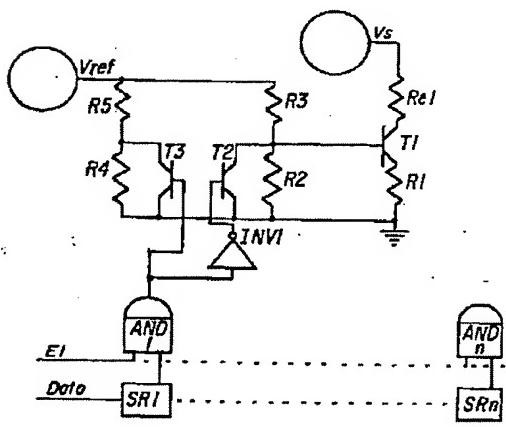
【図 6】



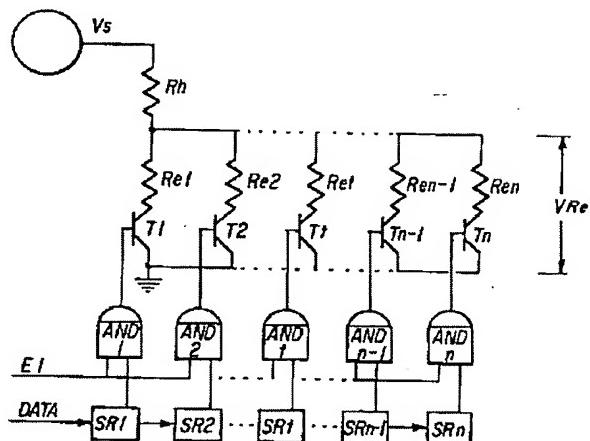
【図1】



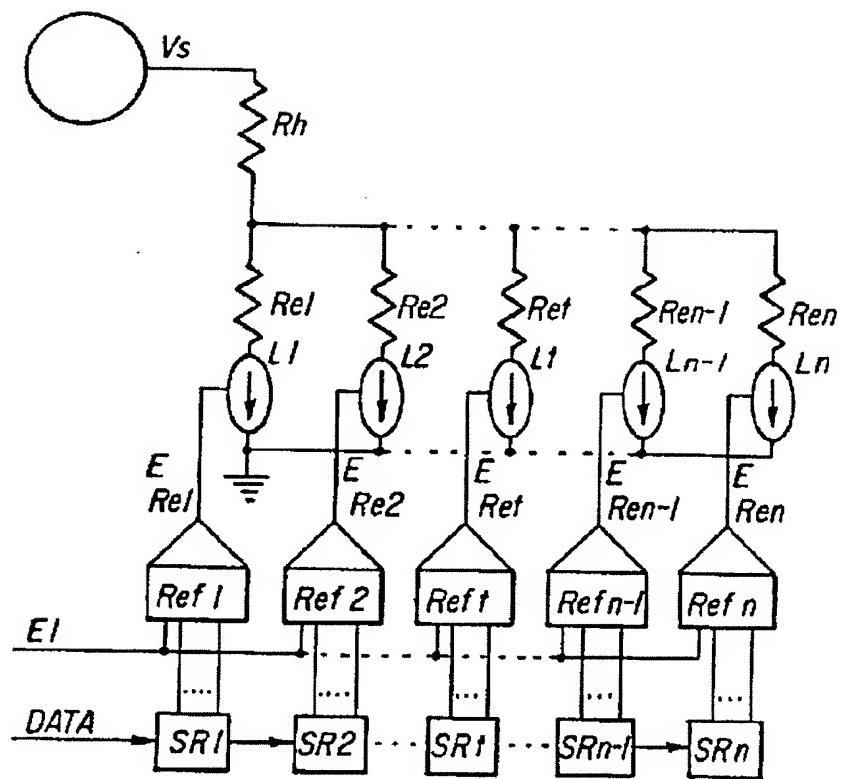
【図2】



【図5】



【図3】



【図4】

